

ORGANIZACIÓN DOCENTE del curso 2010-11

1. DATOS GENERALES DE LA ASIGNATURA

NOMBRE	Arquitectura e Ingeniería de Computadores		PÁGINA WEB	http://aulavirtual.unican.es	
CÓDIGO	5411				
DEPARTAMENTO	ELECTRÓNICA Y COMPUTADORES				
PLAN DE ESTUDIOS	INGENIERO EN INFORMÁTICA		CURSO	CUARTO	
PROFESORADO	Nombre		e-mail		
	Valentin Puente Varona		vpuente@unican.es		
	Pablo Abad Fidalgo		abadp@unican.es		
CRÉDITOS ALUMNO	<u>Teóricos (1)</u>	<u>Prac. Problemas (2)</u>	<u>Prac. Laboratorio</u>	<u>Prac. Computador</u>	TOTALES
	<u>5</u>	<u>1</u>	<u>3</u>		<u>9</u>
LUGAR DE IMPARTICIÓN(*)	<u>Teóricos</u>	<u>Prac. Problemas</u>	<u>Prac. Laboratorio</u>	<u>Prac. Computador</u>	
HORARIO PREVISTO(*)	<u>Teóricos</u>	<u>Prac. Problemas</u>	<u>Prac. Laboratorio</u>	<u>Prac. Computador</u>	
Observaciones:					

(*) Lo rellenará la secretaría del centro

(1) Se corresponde con clases magistrales de teoría en aula

(2) Se corresponde con clases prácticas (problemas, experiencias de cátedra,...) en aula

2. PROGRAMA DE LA ASIGNATURA

Tema 1 Fundamentos del Diseño de Computadores

- Qué es un computador y qué papel juega en su desarrollo la Arquitectura de Computadores
- Tendencias y dependencias
- Métricas de evaluación: parámetros y fundamentos tecnológicos
 - o Coste
 - o Rendimiento
 - o Consumo energético
 - o Fiabilidad

Tema 2 El repertorio de Instrucciones

- La frontera hardware / software
- Definición y virtudes a perseguir por el repertorio de instrucciones: perspectiva histórica
- Influencia de los compiladores y la implementación
- Modelos de ISA: Memoria, Acumulador, Stack y registros
- Modos de direccionamiento
- Control de flujo
- Filosofía RISC y CISC

Tema 3 Jerarquía de Memoria I: Memorias Cache

- Tendencias y coste en tecnologías de almacenamiento
- El efecto "Memory-Wall"
- Localidad espacial y temporal y justificación de la jerarquía de memoria
- Implementación de las caches
- El ABC de las caches: Asociatividad, Tamaño de Bloque y Capacidad
- Modelo de las 3C en los fallos de cache.
- Prefetch software y prefetch hardware
- Políticas de escritura
- Evaluación y métricas de efectividad en las caches
- Efecto de la cache en el rendimiento del procesador

Tema 4 Jerarquía de Memoria II: Memoria Principal

- Memoria Virtual
 - o Parámetros
 - o Traducción de direcciones
 - o Tabla de páginas
 - o Reducción del coste en el proceso de traducción
 - o Caches físicas y virtuales
- DRAM
 - o Implementación de memoria de alta densidad DRAM
 - o Fiabilidad en memoria: detección y corrección de errores
 - o Evolución histórica de las memorias DRAM: Memorias Modo Página, Página Rápida, SDRAM y DDRAM

Tema 5 ILP 1: Segmentación

- Repaso segmentación
- Dependencias de datos
- Dependencias de control
 - o Predicción dinámica de saltos
 - o Ejecución especulativa

Tema 6 ILP 2: Multi Issue

- Límites de la segmentación
- Ejecución superescalar
- Pipelines diversificados: Pipelines 2-wide issue, Unidades FP
- Implicaciones Multi-Issue
 - o Fetch de múltiples instrucciones y Trace Cache
 - o Wide Decode
 - o Dependencias y redes de cortocircuito
 - o Wide write back
- Wide-Issue con planificación estática: VLIW
- Planificación Software
 - o Loop unrolling
 - o Planificación de trazas
 - o Predicción

Tema 7 ILP 3: Planificación Dinámica

- Limitaciones de la ejecución en orden
 - Planificación estática y dinámica de instrucciones
 - o Buffer de instrucciones y renombre de instrucciones
 - Algoritmos de planificación dinámica:
 - o Scoreboard
 - o Tomasulo
 - Excepciones precisas con planificación dinámica y ROB
 - Ejecución especulativa y ROB
 - Dependencias en instrucciones de acceso a memoria

Tema 8 TLP I: Multiprocesadores

- Verificabilidad y límites en la complejidad de diseño: perspectiva histórica de la ley de Moore
- Paralelismo a nivel de thread
- SMP
- CMP
- Coherencia Cache
- Sincronización
- Consistencia en Memoria

Tema 9 TLP II: Multiprocesadores on-chip y Multithreading

- FCMT
- FGMT
- SMT
- Ejemplo: Sun UltraSparc T1/T2

Tema 10 Todo Junto: Anatomía del Intel Nehalem

- Arquitectura
- Jerarquía de memoria
- Eficiencia energética
- Entorno de aplicación

Asignaturas que se recomienda al alumno haber cursado o estar cursando

5402 Introducción a los Computadores, 5403 Estructura de Computadores y 5424 organización de Computadores, 5409 Sistemas Operativos

3. OBJETIVOS GENERALES DE LA ASIGNATURA

El objetivo fundamental de la asignatura es facilitar al alumno una visión precisa de cómo el software interactúa con el hardware subyacente. El alumno debe adquirir una visión aproximada de cómo funciona el procesador y sistema de memoria de un computador actual. En particular, se espera que el alumno esté capacitado para llevar a cabo evaluaciones cualitativas, utilizando las figuras de mérito, sobre el rendimiento de un computador ejecutando un programa y sepa efectuar comparaciones adecuadas entre diferentes opciones de diseño alternativas. Comprender las técnicas concurrentes utilizadas por los computadores actuales para reducir el tiempo de ejecución de forma implícita o explícita al código máquina ejecutado. Ser conscientes del impacto que tiene en el rendimiento del computador las decisiones tomadas a la hora de programar en alto nivel.

Relacionar la evolución en las técnicas de integración con los cambios sufridos en la arquitectura de computadores actuales y como sus restricciones condicionaran la evolución futura de los computadores.

4. OBJETIVOS ESPECIFICOS: APTITUDES/DESTREZAS

- Evaluación cuantitativa de prestaciones de un computador y uso de sus resultados. Comprender cuales son los factores que afectan al rendimiento y su coste. Ser capaces de analizar objetivamente estos factores para justificar toma de decisiones en el diseño o adquisición de nuevos sistemas.
- Ser capaces de entender como las limitaciones tecnológicas determinan la elevada complejidad de las jerarquías de memoria modernas. Ser conscientes de la no despreciable influencia que tiene la jerarquía de memoria en el desarrollo de software.
- Entender como los procesadores actuales afrontan los condicionantes tecnológicos y de coste para maximizar el rendimiento del computador. Ser conscientes de la relevancia fundamental de cara a maximizar el rendimiento, que posee la concurrencia o paralelismo a todos los niveles del sistema. Entender la influencia de las mejoras arquitecturales del procesador en los paradigmas de programación presentes y futuros.
- Ser capaces de prever la evolución de la arquitectura de computadores en el futuro próximo.

5. BIBLIOGRAFÍA

Básica

Título : Computer Architecture: A Quantitative Approach
 Autor : John L. Hennessy David A. Patterson,
 Editor : Morgan Kaufmann (www.elsevier.com)
 Edición/Año : Fourth Ed./2007
 ISBN : 978-0-12-370490-0

Complementaria

Título : Modern Microprocessor design
 Autor : John Paul Shen, Mikko H. Lipasti
 Editor : McGraw Hill
 Edición/Año : 1ª, 2006
 ISBN : 0-07-057064-7

6. ACTIVIDADES A DESARROLLAR EN LA ASIGNATURA

Los objetivos de la asignatura se conseguirán a través de una combinación de clases expositivas, aprendizaje cooperativo, sesiones prácticas de laboratorio y trabajo personal del alumno.

Las clases de teoría combinarán la clase expositiva, en la que el profesor describe los conceptos más relevantes del tema a tratar; el aprendizaje cooperativo entre los alumnos, que deberán desarrollar en grupos algunos de los conceptos expuestos por el profesor; y el trabajo personal del alumno, que deberá acabar los conceptos no expuestos por el profesor en base a la bibliografía.

Las clases prácticas permitirán al alumno clarificar los conocimientos y habilidades adquiridos en las clases magistrales, resolviendo problemas específicos de cada uno de los temas tratados en el aula en un entorno experimental complejo.

7. MÉTODO DE EVALUACIÓN

60% teoría

Examen escrito en Junio.

40% prácticas

1.- Parte obligatoria calificable mediante examen escrito en Junio. Su contribución a la nota de la práctica será 6/10 aproximadamente.

2.- Parte opcional calificable por memoria+presentación. Su contribución a la nota de la práctica será 4/10 aproximadamente. Descripción de la evaluación continua: actividades que debe desarrollar el alumno y su valoración

8. OBSERVACIONES

Software necesario para la realización de las prácticas de laboratorio:

Vmware Player 6.5 o superior

Todo el material asociado se encuentra disponible en la web de la asignatura en WebCT

Computer Architecture: A Quantitative Approach, Sixth Edition has been considered essential reading by instructors, students and practitioners of computer design for over 20 years. The sixth edition of this classic textbook from Hennessy and Patterson, winners of the 2017 ACM A.M. Turing Award recognizing contributions of lasting and major technical importance to the computing field, is fully revised with the latest developments in processor and system architecture. The text now features examples from the RISC-V (RISC Five) instruction set architecture, a modern RISC instruction set developed 6th edition. "New York: Morgan Kaufmann, 2017. 1527 p. ISBN 978-0128119051. Computer Architecture: A Quantitative Approach, Sixth Edition has been considered essential reading by instructors, students and practitioners of computer design for over 20 years. The sixth edition of this classic textbook is fully revised with the latest developments in processor and system architecture. It now features examples from the RISC-V (RISC Five) instruction set architecture, a modern RISC instruction set developed and designed to be a free and openly adoptable standard. It also includes a new chapter Computer Architecture A Quantitative Approach Fourth Edition John L. Hennessy Stanford University David A. Patterson University of California at Berkeley With Contributions by Andrea C. Arpaci-Dusseau Diana Franklin University of Wisconsin-Madison California Polytechnic State University, San Luis Obispo Remzi H. Arpaci-Dusseau David Goldberg University of Wisconsin-Madison Xerox Palo Alto Research Center Krste Asanovic Wen-mei W. Hwu Massachusetts Institute. You may also complete your request on-line via the Elsevier Science homepage ([http:// elsevier.com](http://elsevier.com)), by selecting "Customer Support" and then "Obtaining Permissions." Library of Congress Cataloging-in-Publication Data Hennessy, John L Computer Architecture: A Quantitative Approach, Sixth Edition has been considered essential reading by instructors, students and practitioners of computer design for over 20 years. The sixth edition of this classic textbook is fully revised with the latest developments in processor and system architecture. It now features examples from the RISC-V (RISC Five) instruction set architecture, a modern RISC instruction set developed and designed to be a free and openly adoptable standard. It also includes a new chapter on domain-specific architectures and an updated chapter on warehouse-scale comput... Computer Architecture: A Quantitative Approach, Fifth Edition, explores the ways that software and technology in the cloud are accessed by digital media, such as cell phones, computers, tablets, and other mobile devices. The book, which became a part of Intel's 2012 recommended reading list for developers, covers the revolution of mobile computing. It also highlights the two most important factors in architecture today: parallelism and memory hierarchy.